

for IDS

1/1 PLUSPAT - (C) QUESTEL-ORBIT image

PN - JP6078533 A 19940318 [JP06078533]

PN2 - JP2751961 B2 19980518 [JP2751961]

TI - (A) DC/DC CONVERTER

PA - (A) NEMIC LAMBDA KK

PA0 - (A) NEMITSUKU RAMUDA KK

IN - (A) AARU ORUGANTEI; PUA SHII EICHI; JIEFURII KEE JII TAN

AP - JP22891292 19920827 [***1992JP-0228912***]

PR - JP22891292 19920827 [1992JP-0228912]

STG - (A) Doc. Laid open to publ. Inspec.

STG2 - (B2) Grant. Pat. With A from 2500000 on

AB - PURPOSE: To reduce the rated voltage of each switching means of a DC/DC converter, by minimizing the voltage stress applied to each switching means.

- CONSTITUTION: Switches Q1, Q2 having capacitors C1, C2 respectively are connected with each other in the form of a totempole. The switch Q1 and a transformer T1 are so connected by a blocking capacitor C3 as to insert the capacitor in between the switch and transformer. Thereby, the source-drain voltage of a FET S1 when operating is restricted to at most an input voltage VS added to the voltage drop of a diode DI. Similarly, the source-drain voltage of a FET S2 when operating is restricted to at most the input voltage VS added to the voltage drop of a diode D2 too.

- COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2751961号

(45)発行日 平成10年(1998) 5月18日

(24)登録日 平成10年(1998) 2月27日

(51)Int.Cl.⁶

識別記号

F I

H 0 2 M 3/28
3/335

H 0 2 M 3/28
3/335

Q
F

請求項の数1 (全 15 頁)

(21)出願番号 特願平4-228912

(22)出願日 平成4年(1992) 8月27日

(65)公開番号 特開平6-78533

(43)公開日 平成6年(1994) 3月18日

審査請求日 平成7年(1995) 6月20日

(73)特許権者 390013723

ネミック・ラムダ株式会社
東京都品川区東五反田1丁目11番15号

(72)発明者
アール. オルガンティ
東京都品川区東五反田1丁目11番15号
ネミック・ラムダ株式会社内

(72)発明者
ブア. シー. エイチ.
東京都品川区東五反田1丁目11番15号
ネミック・ラムダ株式会社内

(72)発明者
ジェフリー ケー. ジー. タン
東京都品川区東五反田1丁目11番15号
ネミック・ラムダ株式会社内

(74)代理人 弁理士 牛木 護

審査官 小池 正彦

最終頁に続く

(54)【発明の名称】 DC/DCコンバータ

(57)【特許請求の範囲】

【請求項1】 直流入力電源と、一次巻線と二次巻線とを備えたトランスと、固有のキャパシタンスを含み前記直流入力電源からの電力を選択的に前記トランスの一次巻線に印加する第1のスイッチング手段と、前記トランスの一次巻線と前記第1のスイッチング手段間に挿入接続された容量性素子と、固有のキャパシタンスを含み前記トランスの一次巻線と前記容量性素子との直列回路の両端に接続された第2のスイッチング手段と、前記トランスの二次巻線に接続される整流回路と、この整流回路に接続される容量性または誘導性のフィルター回路とを備え、前記第1のスイッチング手段および前記第2のスイッチング手段はそれぞれ所定の時間間隔で交互にオンオフされ、かつ、その間に前記双方のスイッチング手段がオフとなる一定のデッドバンドが存在し、このデッド

バンドに、前記トランスの漏れインダクタンス若しくは外付けのインダクタと前記双方のスイッチング手段に含まれる前記各キャパシタンスとの共振により、前記キャパシタンスの一方を充電するとともに、前記キャパシタンスの他方を放電するように構成し、さらに前記容量性素子は、前記トランスの一次巻線に対して正方向および負方向に電流を流すものであることを特徴とするDC/DCコンバータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、MHz領域における高スイッチング周波数化を可能にした、いわゆる共振形のDC/DCコンバータに関する。

【0002】

【従来の技術】 従来、DC/DCコンバータ技術の動向

は、磁気またはフィルター素子の形状および重量を減らすための、MHz 領域における高スイッチング周波数化に向けられている。しかし、従来のパルス幅変調 (PWM) コンバータにおいては、非常に高いスイッチング損失によって、一般にこうした高周波数領域で使用することが不可能であった。このような理由により、最近は、IEEE パワーエレクトロニクス会報 Vol. 1, P E-1, 1987 年 1 月号の第 62~71 頁に記載された、K. H. リウ, オルガンティ, F. C. リーによる「準共振形コンバータのトポロジーおよびその特性」や、K. H. リウ, F. C. リーに与えられた、米国特許 4 720 667 号の「全波モードにおけるゼロ電流スイッチ準共振形コンバータの動作」により紹介された、ゼロ電流スイッチング準共振形コンバータ (ZCS-QRC)、あるいは、IEEE PESC レコード 1986 年 6 月号の第 58~70 頁に記載された、K. H. リウ, F. C. リーによる「DC/DC コンバータにおけるゼロ電圧スイッチング技術」や、IEEE パワーエレクトロニクス スペシャリスト会議, ブラックスバーク, Va., 1987 年の第 404~413 頁に記載された、W. A. ダビッツ, P. グラツキー, F. C. リーによる「ゼロ電圧スイッチ準共振形バック型またはフライバック型コンバータ 10 MHz での実験結果」により紹介された、ゼロ電圧スイッチング準共振形コンバータ (ZVS-QRC)、あるいは、IEEE/PESC 会議 1988 年の、W. A. ダビッツ, F. C. リーによる「ゼロ電圧スイッチングマルチ共振技術 高周波準共振形コンバータにおける性能改良のための新規なアプローチ」や、パワーエレクトロニクス NO-1, 1991 年 1 月号の第 141~150 頁に記載された、ドラカン マクシモビッチ, スロボダン クックによる「準共振形コンバータの定周波制御」により紹介された、最新形であるゼロ電圧スイッチングマルチ共振形コンバータのような共振スイッチに、研究者の注意が向けられている。また、4 個のスイッチが必要とされる、IEEE パワーエレクトロニクス スペシャリスト会議, 1987 年の第 424~430 頁に記載された、O. D. パターソン, D. M. ディーバンによる「疑似共振フルブリッジ DC/DC コンバータ」や、バセット, ジョン A. に与えられた、欧州特許 0 428 377 A2 号により公知の「ゼロ電圧スイッチングと定スイッチング周波数の特徴とする新規な PWM トポロジー」も、注目すべき価値のあるコンバータである。

【0003】図 12 は、前記欧州特許 0 428 377 A2 号において提案された、絶縁型トランスを用いた DC/DC コンバータを示すものである。1 は一次側に一次巻線 1A と、二次側に二次巻線 1B とを備えた絶縁型トランスであり、この一次巻線 1A と MOS 型 FET 2 との直列回路が直流入力電源 3 の両端に接続されることで、直流入力電源 3 からの直流入力電圧 VIN が、選

択的にトランス 1 の一次巻線 1A に印加される。また、一次巻線 1A 間には、容量性素子たるキャパシタ 4 と MOS 型 FET 5 との直列回路が接続され、これら FET 2, 5 は、それぞれ固有のキャパシタンスたるキャパシタ 6, 7 と、ダイオード 8, 9 が含まれ、FET 2 とダイオード 8 とにより第 1 のスイッチング手段が構成され、一方、FET 5 とダイオード 9 とにより第 2 のスイッチング手段が構成される。

【0004】一方、トランス 1 の二次側において、二次巻線 1B には整流ダイオード 11, 12 を介してフィルター回路 10 が接続されており、このフィルター回路 10 は、インダクタ 13 と、平滑用キャパシタ 14 とからなる。そして、図示しない制御回路により前記 FET 2, 5 をスイッチングすることで、二次巻線 1B に誘起された電圧がダイオード 11, 12 およびフィルター回路 10 を介して、直流出力電圧 Vout として出力される。このとき、FET 2 をターンオンする前に、前記トランス 1 の一次巻線 1A に蓄積されたエネルギーによってキャパシタ 6 が放電され、FET 5 をターンオンする前に、一次巻線 1A に蓄積されたエネルギーによってキャパシタ 7 が放電されるように構成すれば、ゼロ電圧スイッチングが達成されると同時に、各 FET 2, 5 におけるスイッチング損失は最小になる。

【0005】こうした各コンバータの背景にある原理は、MOS 型 FET からなる能動素子 2, 5 がターンオンする前に、電流あるいは電圧のいずれか一方をゼロにし、かつ、このスイッチング素子 2, 5 がターンオフされる間にソフトスイッチングを行うことにある。すなわち、絶縁型トランスにおいて固有に存在する漏れインダクタンスと、スイッチング素子 2, 5 の寄生キャパシタンス 6, 7 が、ゼロ電圧/電流スイッチングのメカニズムを達成するのに一般的に利用され、ターンオンおよびスイッチオフ時におけるスイッチング損失は、これらのコンバータにおいては略ゼロとなる。

【0006】

【発明が解決しようとする課題】前記従来技術に示された回路において、キャパシタ 4 の両端間の電圧 Vc は、FET 2, 5 に対するデューティを D とすれば、 $V_c = V_{IN} \times D / (1 - D)$ となる。仮に、デューティ D が 0.5 であり、キャパシタ 4 の電圧 Vc が入力電圧 VIN に等しいものとする、FET 2 がオンの場合には、キャパシタ 4 が充電されることによって、FET 5 のドレイン電位は FET 2 のソースを基準電位とすると +VIN となるため、FET 5 のソース・ドレイン間には入力電圧 VIN の 2 倍の電圧が印加される。一方、FET 2 がオフの場合には、キャパシタ 4 が放電されることによって、FET 5 のドレイン電位は FET 2 のソースを基準電位とすると -VIN となるため、FET 2 のソース・ドレイン間にも入力電圧 VIN の 2 倍の電圧が印加される。つまり、FET 2, 5 のスイッチングにより、この FET

T2, 5のソース・ドレイン間には、少なくとも入力電圧VINの2倍の電圧ストレスが加わるため、定格電圧のより大きなスイッチング素子2, 5を使用しなければならず、しかも、これに伴ってFET2, 5のオン抵抗が大きくなるため、トランス1の一次側電力の損失が増加するといった欠点を有していた。

【0007】そこで、本発明は上記問題点を解決して、共振形コンバータの利点を損なうことなく、各スイッチング手段間に加えられる電圧ストレスを最小にして、その定格電圧を小さくするとともに、トランスのコアを完全利用することの可能なDC/DCコンバータを提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は直流入力電源と、一次巻線と二次巻線とを備えたトランスと、固有のキャパシタンスを含み前記直流入力電源からの電力を選択的に前記トランスの一次巻線に印加する第1のスイッチング手段と、前記トランスの一次巻線と前記第1のスイッチング手段間に挿入接続された容量性素子と、固有のキャパシタンスを含み前記トランスの一次巻線と前記容量性素子との直列回路の両端に接続された第2のスイッチング手段と、前記トランスの二次巻線に接続される整流回路と、この整流回路に接続される容量性または誘導性のフィルター回路とを備え、前記第1のスイッチング手段および前記第2のスイッチング手段はそれぞれ所定の時間間隔で交互にオンオフされ、かつ、その間に前記双方のスイッチング手段がオフとなる一定のデッドバンドが存在し、このデッドバンドに、前記トランスの漏れインダクタンス若しくは外付けのインダクタと前記双方のスイッチング手段に含まれる前記各キャパシタンスとの共振により、前記キャパシタンスの一方を充電するとともに、前記キャパシタンスの他方を放電するように構成し、さらに前記容量性素子は、前記トランスの一次巻線に対して正方向および負方向に電流を流すものである。

【0009】

【作用】上記構成により、双方のスイッチング手段がオフとなるデッドバンドに、トランスの漏れインダクタンス若しくは外付けのインダクタと双方のスイッチング手段に含まれる各キャパシタンスとの共振により、共振型コンバータの利点であるゼロ電流/電圧スイッチングを達成することができる。また、第1のスイッチング手段および第2のスイッチング手段は容量性素子が介在しないトータムボール形に接続されるため、第1のスイッチング手段および第2のスイッチング手段をスイッチングする際において、これら各スイッチング手段間に加えられる電圧は、直流入力電源からの入力電圧に略等しくなり、この状態でゼロ電流/電圧スイッチングが達成される。さらに、容量性素子は、トランスの一次巻線に対して正方向および負方向に電流を流すものであるため、こ

のトランスのコアを完全利用することが可能になる。

【0010】

【実施例】以下、本発明の各実施例につき、図1乃至図11を参照して説明する。

- 05 【0011】図1乃至図6は、本発明におけるDC/DCコンバータの第1実施例を示すものである。図1は容量性のフィルターを備えたソフトスイッチコンバータの回路図を示すものであり、周波数制御と、提案される新規な非対称パルス幅変調(PWM)制御(D, 1-D)
- 10 との双方に適応可能な、新しいDC/DCコンバータトポロジーである。同図において、VSは電源たる直流入力電源であり、この直流入力電源VSからの電力は、MOS型FETS1により選択的にトランスT1の一次巻線に印加される。また、トランスT1の一次巻線とFETS1との間には、容量性素子たるブロッキングキャパシタC3が挿入接続されるとともに、このキャパシタC3と、トランスT1の一次巻線とにより構成される直列回路の両端には、MOS型FETS2が接続される。各FETS1, S2は、それぞれ固有のキャパシタンスと
- 20 してのキャパシタC1, C2と、ダイオードD1, D2を含み、このダイオードD1, D2はMOS型FETS1, S2に内蔵のボディダイオードか、あるいは、外付けのダイオードで構成することが可能である。また、キャパシタC1, C2は、出力側のキャパシタ素子C0で構成することが可能である。ダイオードD1およびFETS1全体を表わすのに、第1のスイッチング手段たるスイッチQ1を用い、同様に、ダイオードD2およびFETS2を、第2のスイッチング手段たるスイッチQ2として表わす。
- 30 【0012】スイッチQ1, Q2はキャパシタC3が介在しないトータムボール形に接続されているために、素子の定格電圧上における付加的な損失はなくなる。このスイッチQ1, Q2は交互にターンオンされ、その間に電圧の転移を可能にするためのデッドバンドが存在することで、ゼロ電圧スイッチングが達成され得る。前記キャパシタC3は、動作サイクルの一部分に対するエネルギー源として作用するものである。このキャパシタC3の他の機能は、トランスT1が飽和するのを避けるため、ブロッキングキャパシタとして作用することにある。また、定常動作状態の下では、キャパシタC3によって吸収/排出される平均のチャージ量が1サイクルを通してゼロに等しくなるように、トランスT1の磁化電流が適当な値で自動的にセットされる。インダクタLはトランスT1の漏れインダクタンスを用いることが可能
- 40 であり、必要ならば、外付けのインダクタにより増加させることができる。このインダクタLは、素子のゼロ電圧スイッチングを達成するのに利用される。
- 50 【0013】トランスT1の二次側電流は、このトランスT1の二次巻線の両端にダイオードD3, D4を接続してなるセンタータップ形の整流回路によって整流さ

れ、直接容量性のフィルター回路たるキャパシタ C0 に供給される。この出力方式における重要な利点とは、出力側ダイオード D3、D4 が、出力電圧 V_o の 2 倍に理想的に制限されることにある。したがって、ダイオード D3、D4 の低い順方向電圧降下は、総合効率を向上させることに用いられる。

【0014】スイッチ Q1 は時間 DT の間隔で、また、スイッチ Q2 は時間 (1-D) T の間隔で交互にターンオンし、その間にある一定のデッドバンドが存在するようにする。D の可変は、動作時におけるデューティサイクルに基づくものであり、このデューティサイクル D を変化させることによって、出力の制御が達成される。こうした制御は、それぞれ対をなすスイッチが時間 DT の間隔でターンオンする、従来例の「疑似共振フルブリッジ DC/DC コンバータ」とは異なる。回路の動作は、デューティサイクル D が 0 % から 50 % の間と、50 % から 100 % の間で、実際に非対称となる。したがって、制御の全範囲はデューティサイクル D が 50 % から 100 % と、0 % から 50 % とで達成され得るものであり、コンバータの動作はデューティサイクル D の範囲の一方に対してのみ解析されることが必要である。次の説明は、デューティサイクル D の範囲が 0 % から 50 % の場合に基づくものである。

【0015】次に、図 1 における回路の動作原理を説明する。まず、本回路における基本的な動作として、次の仮定が成り立つものとする。

- ・トランス T1 の二次側漏れインダクタンスは無視する。
- ・出力側ダイオード D3、D4 の順方向降下、および、接合キャパシタンスは無視されるものとする。
- ・ブロッキングキャパシタ C3 は、キャパシタ C3 間電圧 V_c が略一定となり、リップルを無視できる程大きなものを用いる。
- ・キャパシタ C_o は、出力電圧 V_o が一定となるような大きなものを用いる。
- ・磁化インダクタンス L_M は、磁化電流 I_M が略一定となるような大きなものを用いる。

$$\frac{di_L}{dt} = \frac{(V_s - V_c - V_o')}{L}$$

【0022】

【数 4】

$$V_o' = nV_o$$

【0023】但し、V_o' = 一次側に反射された出力電圧、V_c = キャパシタ C3 に印加する一定の直流電圧、i_L = 一次側インダクタンス電流である。

・電圧リップルを無視することにより、ブロッキングキャパシタ C3 に印加する電圧 V_c は、D × V_s と略等しい直流電圧となる。

【0016】動作状態に基づく図 1 における回路の各波形を、図 2 および図 3 に示す。これらの各状態において、図 1 の回路は 1 サイクルの動作中に、種々のトポロジ的模式を経る。図 2 および図 3 に対して、回路の概略の電流変換比率は、次の数式に示される。

【0017】

10 【数 1】

$$I_o = \frac{n V_s (D(1-D) - (nV_o/V_s)^2)}{4 L f_s}$$

15 【0018】

【数 2】

$$I_o = \frac{n V_s D^2 (1-D - (nV_o/V_s))}{2 L f_s (D + (nV_o/V_s))}$$

20

【0019】但し、V_o = 出力側電圧、V_s = 入力側直流電圧、n = トランス巻線比、f_s = スイッチング周波数、D = スイッチ Q1 のデューティサイクルである。

【0020】図 4 は、図 1 の回路が経過する、種々のトポロジ的模式に対する方式を示すものである。回路の動作は次のようにして説明され得る。最初に、回路は図 4 a におけるモード 1 の状態にあるものと仮定する。なぜならば、このモードは図 2 および図 3 の双方に共通するからである。モード 1 において、スイッチ Q1 (FETS1 あるいはダイオード D1) とダイオード D3 はオンとなり、一方、スイッチ Q2 (FETS2 あるいはダイオード D2) とダイオード D4 はオフとなる。インダクタ電流 i_L は、スイッチ Q1 がスイッチオフする時まで、次の数式に示すように、磁化電流 I_M のレベルより所定の割合で上昇傾斜する。

35 【0021】

【数 3】

モード 1

【0024】直ちに、インダクタ L はキャパシタ C1、C2 と共振し、コンバータは図 4 b のモード 2 の状態となる。初めに FETS1 に流れる電流は切換えられ、キャパシタ C1、C2 をそれぞれ充電/放電する。キャパシタ C1 は FETS1 に対して無損失スナバとして作用し、これによって、スイッチがターンオフの状態、ソフトスイッチングが達成される。普通キャパシタ C1、C2 は非常に小さな値であるため、この共振が持続している時間は通常、非常に短い。最初に入力供給電圧 V_s

が印加されるキャパシタ C 2 は放電してゼロボルトとなり、キャパシタ C 1 は充電して入力電圧 V_S となる。キャパシタ C 2 が完全に放電すると、回路は図 4 c のモード 3 に移行して、スイッチ Q 2 のダイオード D 2 が導通し始める。その後、インダクタ電流 i_L がその極性を変

える前に、FET S 2 はゼロ電圧スイッチングを行う。ここで、インダクタ電流 i_L は、次の数式に示す下降傾斜をなす。

【0025】

【数5】

$$\frac{di_L}{dt} = - \frac{(V_c + V_o')}{L}$$

モード 3

【0026】このモードは、インダクタ電流 i_L が磁化電流 I_M と等しくなり、ダイオード D 3 を流れる電流 i_{D3} がゼロアンペアに一致するまで継続する。この状態から、ブロッキングキャパシタ C 3 の電圧 V_C (D × V_S) が、一次側に反射された出力電圧 V_{O'} よりも大きい

反射された出力電圧 V_{O'} よりも小さくなり、結果的に回路はモード 7 に移行することになる。一方、ブロッキングキャパシタ C 3 の電圧 V_C が一次側に反射された出力電圧 V_{O'} よりも大きければ、モード 4 に移行することになる。図 4 d のモード 4 に移行するものと仮定すると、ダイオード D 4 は導通し始める。インダクタ電流 i_L は、次の数式に示す新たな割合で下降傾斜する。

【0027】

【数6】

$$\frac{di_L}{dt} = - \frac{(V_c - V_o')}{L}$$

モード 4

【0028】FET S 2 がターンオフするとこのモードは停止し、回路は図 4 e のモード 5 に移行する。再度このモード 5 においては、インダクタ L がキャパシタ C 1、C 2 と共振するが、モード 2 と比較して反対の方向をなす。このモードにおいては、FET S 2 はソフトにターンオンするとともに、FET S 1 は無損失状態でターンオンする。キャパシタ C 1 の電圧がゼロボルトに達すると、直ちにダイオード D 1 は導通し始め、かつ、回

路は図 4 f のモード 6 になる。このポイントでは、インダクタ電流 i_L が再び磁化電流 I_M と等しくなり、ダイオード D 4 を流れる電流 i_{D4} がゼロに減少するまで、インダクタ電流 i_L は次の数式のように上昇傾斜して、回路はその動作の 1 サイクルを完了する。

【0029】

【数7】

$$\frac{di_L}{dt} = \frac{V_s - V_c + V_o'}{L}$$

モード 6

【0030】モード 3 に引続き、ブロッキングキャパシタ C 3 の電圧 V_C が一次側に反射された出力電圧 V_{O'} と等しいか、あるいはそれ以下の場合には、回路は選択的に図 4 g のモード 7 に移行する。磁化インダクタンス L_M はインダクタ L よりもはるかに大きいため、トランス T 1 の電圧 V_X はブロッキングキャパシタ C 3 の電圧 V

C の負電圧に等しくなる。磁化インダクタンス L_M は大きく、これによって、インダクタ電流 i_L は次の数式のように減少して略ゼロとなる。

【0031】

【数8】

$$\frac{di_L}{dt} = - \frac{V_c}{L_M}$$

モード 7

【0032】したがって、インダクタ電流 i_L は略一定値を示し、磁化電流 I_M と等しくなる。そして、スイッチ Q 2 が再びスイッチオフとなるまで、この一定の状態

を保持する。その後、回路は図 4 b のモード 2 に移行し、インダクタ L は再度キャパシタ C 1、C 2 と共振する。キャパシタ C 2 に印加する電圧がゼロボルトに達す

ると回路はモード 1 に戻り、これによってその動作の 1 サイクルが完了する。

【0033】 上述のように、図 1 の回路は固定されたデューティサイクル D の下で、周波数を可変制御しながら動作することも可能である。デューティサイクル D はあらゆる値となり得るが、実効電流が最低となり、しかも、これによって最高の効率を達成する約 50 % 程度のデューティ D が賢明である、しかしながら、IEEE パワーエレクトロニクス会報 Vol. 4, NO. 4, 1987 年 10 月号の第 459 ~ 469 頁、M. M. ヨバノビッチ、W. A. ダビッツ、F. C. リーによる、「ゼロ電圧スイッチング準共振形およびマルチ共振技術を用いた高周波オフラインパワー変換」に記載されたハーフブリッジ型のゼロ電圧スイッチング準共振形コンバータにおいては、周波数制御の方法が、入力電圧 V_S や負荷 R_L の変動のために広い周波数の範囲上に及ぶ可能性がある。したがって、この制御方法は、制限された負荷範囲における利用に対してのみ、良い候補となる。

【0034】 上述の周波数範囲が広いという問題点を解決するために提案された方法は、入力電圧 V_S の変動に対してのみ変化する、周波数制御の機構を紹介するためのものである。これは、制御する周波数の範囲をより狭

くさせるものである、すなわち、コンバータは、PWM 制御の下で負荷変動に対して動作する。

【0035】 また、FETS1 がオン、FETS2 がオフの状態では、FETS2 のソース・ドレイン間電圧は、入力電圧 V_S にスイッチ Q1 のダイオード D1 による電圧降下分が加えられるとともに、FETS1 がオフ、FETS2 がオンの状態においても、FETS1 のソース・ドレイン間電圧は、同様に入力電圧 V_S にスイッチ Q2 のダイオード D2 による電圧降下分が加えられる。すなわち、FETS1、S2 のソース・ドレイン間は、いかなる場合においても、キャパシタ C3 の充放電電圧が直接印加されることがなく、各 FETS1、S2 に対する電圧ストレスは、従来例の回路に比べてはるかに小さくなる。

【0036】 次に、図 1 に示す回路に対する実験結果について説明する。新規なソフトスイッチコンバータとして、出力 50 W のコンバータが、入力範囲 42 V ~ 63 V、出力 5 V、負荷範囲 0 ~ 10 A 用に設計される。パワーステージ用に使用された各部品は、以下の表の通りである。

【0037】

【表 1】

スイッチ Q1, Q2	東芝製 2SK1116
キャパシタ C1, C2	920 pF (2SK1116 の出力キャパシタンス代表値)
トランス T1	
コア:	ティーディーケイ (TDK) 製 EI-25PC40 エアギャップ 0.3 mm
一次側:	13 ターン (リッツ線)
二次側:	4 ターン (リッツ線)
ダイオード D3, D4	新電元工業製 SBD S60SC4M
インダクタ L	1.1 μ H (230 nH 外付けインダクタ + 780 nH トランス T1 の漏れインダクタンス)

【0038】 図 5 は、図 1 における回路の電流並びに電圧波形である。図中、上段はインダクタ電流 i_L 、中段はスイッチ Q1 のゲート・ソース間電圧 V_{GS1} およびドレイン・ソース間電圧 V_{DS1} 、下段はスイッチ Q2 のゲート・ソース間電圧 V_{GS2} およびドレイン・ソース間電圧 V_{DS2} であり、各波形は入力 42 V、出力 5 V、および負荷範囲 10 A の条件の下で測定されたものである。さらに、デューティは動作状態において約 50 % であ

る。

【0039】 図 5 における上段の波形はインダクタ電流 i_L のものであり、その形は理論的な分析において予測された三角波形状をなす。図 5 の中段の電圧波形は、スイッチ Q1 がターンオンする前にゼロに降下し、かつ、ターンオン時に除々に上昇するスイッチ Q1 のドレイン・ソース間電圧 V_{DS1} を示している。これは、スイッチ Q1 に対して無損失スイッチングが行われていることを

証明するものである。一方、下段の波形は、スイッチ Q 2 に対してゼロ電圧スイッチングが行われていることを示すものである。

【0040】図6は各入力電圧 V_S における効率対出力電力曲線を示している。実線はコンバータが入力電圧 V_S 全体に対して、固定周波数動作の下で運転していることを示し、また、点線は異なる入力電圧 V_S に対して、異なる周波数での動作を示している。この回路では、入力電圧 V_S が 4.2 V、周波数 14.2 kHz、全負荷状態において、最も効率が良いことがわかる。これによって、ゲート駆動の損失を除いて、約 85% の効率を達成できる。しかし、入力電圧 V_S が 5.0 V および 6.3 V における他の 2 本の実線は、入力電圧 V_S の増加による効率の低下を示している。これは、より高い入力電圧 V_S によって、全負荷状態で回路がより小さなデューティで動作することに起因する。回路の実効電流は、デューティが約 50% で入力電圧 V_S が 4.2 V の時と比較して高くなり、結果的に効率の悪化を招く。

【0041】点線は、スイッチング周波数をそれぞれ 24.5 kHz と 33.5 kHz に上昇した場合の、入力電圧 V_S が 5.0 V と 4.3 V に対する改善された効率を示すものである。周波数の上昇によって、回路はより高いデューティで実際に動作することが可能となり、回路の実効電流を最終的に減少する。すなわち、スイッチング周波数が入力電圧 V_S に基づいて変化するならば、回路にとって好適である。

【0042】次に、図7乃至図11に基づいて、本発明の第2実施例を説明する。図7は誘導性フィルタタイプのトポロジを示すものであり、図8は、提案された非対称のデューティサイクル PWM 制御の下での、異なる動作モードに対する各電流および電圧波形を示すものである。図1における出力側のフィルタは、容量性から誘導性のフィルタに変更される。トランス T1 の二次側電流は整流され、インダクタ L_0 と、キャパシタ C0 とにより構成される誘導性フィルタに供給される。この方式では、追加のインダクタ L_0 が必要である、本トポロジにおける重要な利点とは、一次側および二次側の電流が略方形波に近づくことにある。本実施

例における回路に対して提案された制御方法は、新規な非対称タイプのパルス幅変調制御方法 ($D, 1-D$) であり、前述のハーフブリッジ型のゼロ電圧スイッチング準共振形コンバータにおける、大きな制御周波数の変化を伴うといった問題点を解決するものである。各スイッチ Q1, Q2 の動作時において、ゼロ電圧スイッチング、一定の周波数、および低い電圧ストレスという第1実施例における回路の特徴の殆どが、本回路に継承される。さらに、一次側および二次側の矩形の電流波形が、より低い実効電流を与え、これによって、パワー半導体素子やその他の素子に対して導通損を低くすることを可能にする。概略の電圧変換比率は、次の数式のように示される。

【0043】

15 【数9】

$$D(1-D) = \frac{n V_O}{2 V_S}$$

20 【0044】但し、 $D=Q1$ のデューティサイクルである。図8に示すように、回路はその動作を行うために、1つのシーケンスのみを備えているに過ぎないが、本回路における実際の動作モードは、非常に複雑である。しかしながら、これは、8つの基本的な動作モードによって明確に説明され得るとともに、各トポロジ的モードに対する説明図は、図7において示される。回路1でキャパシタ C3, 磁化インダクタンス LM および順電圧降下 V_F に対してなされた仮説を、次の説明においてそのまま使用する。

30 【0045】図9aに示すように、回路はモード1の状態にあるものと仮定する。このモードにおいて、FET S1はターンオンするとともに、FET S2はオフする。出力電流はダイオード D3 を流れ、一次側インダクタ電流 i_L は L_0 の傾斜に基づいて上昇傾斜する。この傾斜は、次の数式のように近似される。

【0046】

【数10】

$$\frac{di_L}{dt} = \frac{n}{L_0} \left(\frac{V_S(1-D)}{n} - V_O \right) \quad \text{モード 1}$$

【0047】但し、 L_0 = 出力側フィルタのインダクタンスである。FET S1がターンオフすると、回路は図9bに示すモード2に移行し、インダクタ L の連続電流が、キャパシタ C2, C1 をリニアに放電/充電する。キャパシタ C2 の電圧、すなわち入力電圧 V_S は、素早くキャパシタ C3 の電圧 V_C に放電され、一方、キャパシタ C1 は $(V_S - V_C)$ なる電圧に充電される。その後、コンバータは図9cに示すモード3に移行し、

トランス T1 の電圧 V_x がゼロボルトにクランプされるとともに、インダクタ L はキャパシタ C2 の電圧がゼロボルトに達するまでに、キャパシタ C1, C2 と共振する。キャパシタ C1, C2 の値が低く、しかも、インダクタ電流 i_L が適度に高いことから、モード2およびモード3の間隔時間は通常、非常に短い。キャパシタ C2 が放電してゼロボルトとなると、スイッチ Q2 のボディダイオード D2 は電流を流し出す。ダイオード D2 が

導通状態にある間、FETS 2 はターンオンされ、これによって、ゼロ電圧スイッチングが行われる。

【0048】ダイオードD 2 とFETS 2 との導通は、図9 d に示す本コンバータのモード4における動作を記す。このモードでは、トランスT 1 は短絡状態のままであるため、双方の出力側ダイオードD 3、D 4 は導通し

$$\frac{di_L}{dt} = - \frac{V_C}{L}$$

【0050】このインダクタ電流 i_L が変化している間、ダイオードD 4 を流れる電流 $i_{D4} = i_0$ となるまで、ダイオードD 3 における電流 i_{D3} は下降傾斜し、一方、ダイオードD 4 における電流 i_{D4} は上昇傾斜する。図9 e に示すモード5において、ダイオードD 3 は完全にオフし、トランスT 1 の電圧 V_X は、ゼロボルトから

$$\frac{di_L}{dt} = - \frac{n}{L_0} \left(\frac{V_C}{n} - V_0 \right) \quad \text{モード 5}$$

【0052】図9 f に示すモード6においてS 2 はスイッチオフし、モード2のように、負の連続インダクタ電流 i_L がキャパシタC 1 / C 2 を $(V_S - V_C) / V_C$ なる電圧にそれぞれ充電／放電する。その後、図7 g に示すモード7に移行し、一方、キャパシタC 2 は共振によって V_S に充電される。

【0053】ボディーダイオードD 1 が導通すると、スイッチQ 1 はモード8にてターンオンする。このモード

$$\frac{di_L}{dt} = \frac{V_S(1-D)}{L} \quad \text{モード 8}$$

【0055】ここに、動作全体のサイクルが完了する。また、動作中においては、図1における回路と同様に、FETS 1 がオン、FETS 2 がオフの状態では、FETS 2 のソース・ドレイン間電圧は、入力電圧 V_S にスイッチQ 1 のダイオードD 1 による電圧降下分が加えられ、FETS 1 がオフ、FETS 2 がオンの状態では、FETS 1 のソース・ドレイン間電圧は、入力電圧 V_S にスイッチQ 2 のダイオードD 2 による電圧降下分が加えられる。したがって、いかなる場合でも、FETS 1、S 2 のソース・ドレイン間にキャパシタC 3 の充放

て、出力側インダクタL 0 のコアがリセットするのを可能にする。このモードの間、一次側インダクタンスL の電圧は V_C でクランプされ、かつ、インダクタ電流 i_L は次の数式に示すように、所定の割合で下降傾斜する。

【0049】

【数11】

モード 4

キャパシタC 3 の電圧 V_C の負電圧にその極性を反転する。このとき、インダクタ電流 i_L は、次の数式に示すような緩やかな割合でさらに下降傾斜する。

【0051】

【数12】

においては、モード4のように出力側フィルターのインダクタL 0 がリセットされ得るように、トランスT 1 の電圧 V_X が短絡される。しかしながら、このときのインダクタ電流 i_L は、次の数式に示す割合で上昇傾斜する。

【0054】

【数13】

電圧が直接印加されず、各FETS 1、S 2 への電圧ストレスは、従来例の回路に比べてはるかに小さくなる。

【0056】次に、本実施例における図7に示す回路の実験結果について説明する。本実施例においては、図1に示す回路に962 nHの出力側インダクタL 0 を追加することによって、同様に、出力50 Wのコンバータが設計される。変更点は、以下の表の通りである。

【0057】

【表2】

トランス T1	
コア:	ティーディーケイ (TDK) 製 PC40 E1-22-19-6 エアギャップ 0.075 mm
一次側:	10ターン
二次側:	3ターン
インダクタ L	845 nH (545 nH 外付けインダクタ + 300 nH トランス T1 の漏れインダクタンス)

【0058】図10は、図7に示す回路の電流および電圧に対する実験波形を示すものである。図中、上段はインダクタ電流 i_L 、中段はスイッチ Q1 のゲート・ソース間電圧 V_{GS1} およびドレイン・ソース間電圧 V_{DS1} 、下段はスイッチ Q2 のゲート・ソース間電圧 V_{GS2} およびドレイン・ソース間電圧 V_{DS2} である。図10において、上段の波形はインダクタ電流 i_L のものである。下段の4つの波形は、この回路も同様に、双方のスイッチ Q1、Q2 に対して、ゼロ電圧スイッチングが達成されていることを示すものである。

【0059】図11は、各入力電圧 V_S における効率対出力電力曲線を示している。この回路では、出力側が全負荷電流時で、かつ、入力電圧 V_S が 42 V の場合、効率 87.6% を達成する。しかしながら、第1実施例の回路と同様に、入力電圧 V_S が高くなるにしたがって、効率が低下する。すなわち、入力電圧 V_S が 60 V では効率は 87.1% になり、入力電圧 V_S が 63 V では効率は 85.8% になる。しかし、準方形波の形状をなす電流によって、この低下はそれほど急激なものとはならない。効率の低下は、入力電圧 V_S が高くなることにより、磁化電流 I_M のリップルがより高くなることに起因するものと推量する。

【0060】以上のように、上記各実施例では、共振回路の一部分として、絶縁型トランス T1 の漏れインダクタンスと、MOS 型 FETS1、S2 の寄生キャパシタンスとを利用した、新規な非対称の PWM 制御を伴う新たなソフトスイッチコンバータが紹介された。図1および図7における各実施例の回路は、いずれも FETS1、S2 がキャパシタ C3 の介在しないトータムポール形に接続されているため、この FETS1、S2 のソース・ドレイン間に印加される電圧は、入力電圧 V_S にダイオード D1、D2 の電圧降下分を加えたものに過ぎない。すなわち、FETS1、S2 に対する電圧ストレスは、従来例に比べてはるかに小さいため、共振形コンバータの利点を損なうことなく、より小さな定格電圧の F

ETS1、S2 を使用することが可能となり、しかも、同時に FETS1、S2 のオン抵抗も小さくなるため、トランス T1 の一次側の電力損失を減少させ、かつ、回路の全体的な効率を改良することもできる。

20 【0061】上記各回路における利点、効果は、次の通りである。

- ・図1に示す回路において、出力側ダイオード D3、D4 に対する電圧ストレスを低下でき、ダイオード D3、D4 に対する導通損を低下することができる。

25 ・図7に示す回路において、回路の実効電流を低下できるため、ダイオード D1、D2 や MOS 型 FETS1、S2 に対する導通損を低下できる。

・各 FETS1、S2 がキャパシタ C3 の介在しないトータムポール形に接続されるため、この FETS1、S2 に対する電圧ストレスを低下できる。すなわち、MOS 型 FETS1、S2 の定格電圧および導通損を低く抑えることができる。

・全負荷状態における、入力側の回路電流を低下させることができる。すなわち、入力側の各素子に対する電流

35 ストレスを低下できる。

- ・特に、図1に示す回路において、少ない部品点数で構成できる。

・トランス T1 に対して、正方向および負方向に電流を流すことにより、このトランス T1 のコアを完全利用

40 することが可能となる。

- ・負荷変動に対する動作周波数の固定化を図ることができる。
- ・無負荷を含む広範囲な負荷状態に対応できる。
- ・不完全な負荷状態であっても、全体の効率が低い。

45 【0062】

【発明の効果】本発明は直流入力電源と、一次巻線と二次巻線とを備えたトランスと、固有のキャパシタンスを含み前記直流入力電源からの電力を選択的に前記トランスの一次巻線に印加する第1のスイッチング手段と、前記トランスの一次巻線と前記第1のスイッチング手段間

に挿入接続された容量性素子と、固有のキャパシタンスを含み前記トランスの一次巻線と前記容量性素子との直列回路の両端に接続された第2のスイッチング手段と、前記トランスの二次巻線に接続される整流回路と、この整流回路に接続される容量性または誘導性のフィルター回路とを備え、前記第1のスイッチング手段および前記第2のスイッチング手段はそれぞれ所定の時間間隔で交互にオンオフされ、かつ、その間に前記双方のスイッチング手段がオフとなる一定のデッドバンドが存在し、このデッドバンドに、前記トランスの漏れインダクタンス若しくは外付けのインダクタと前記双方のスイッチング手段に含まれる前記各キャパシタンスとの共振により、前記キャパシタンスの一方を充電するとともに、前記キャパシタンスの他方を放電するように構成し、さらに前記容量性素子は、前記トランスの一次巻線に対して正方向および負方向に電流を流すものであり、共振形コンバータの利点を損なうことなく、各スイッチング手段間に加えられる電圧ストレスを最小にして、その定格電圧を小さくするとともに、トランスのコアを完全利用することの可能なDC/DCコンバータを提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す回路図である。

【図2】同上各部の波形図である。

【図3】同上各部の波形図である。

【図4】同上回路の動作状態を示す説明図である。

【図5】同上回路の電流および電圧を示す波形図である。

【図6】同上各入力電圧における効率対出力電力の特性を示すグラフである。

【図7】本発明の第2実施例を示す回路図である。

【図8】同上各部の波形図である。

【図9】同上回路の動作状態を示す説明図である。

【図10】同上回路の電流および電圧を示す波形図である。

【図11】同上各入力電圧における効率対出力電力の特性を示すグラフである。

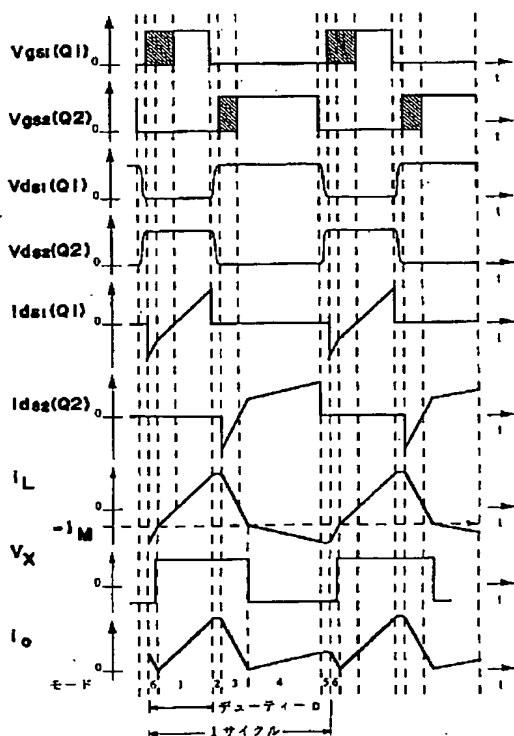
【図12】従来例を示す回路図である。

【符号の説明】

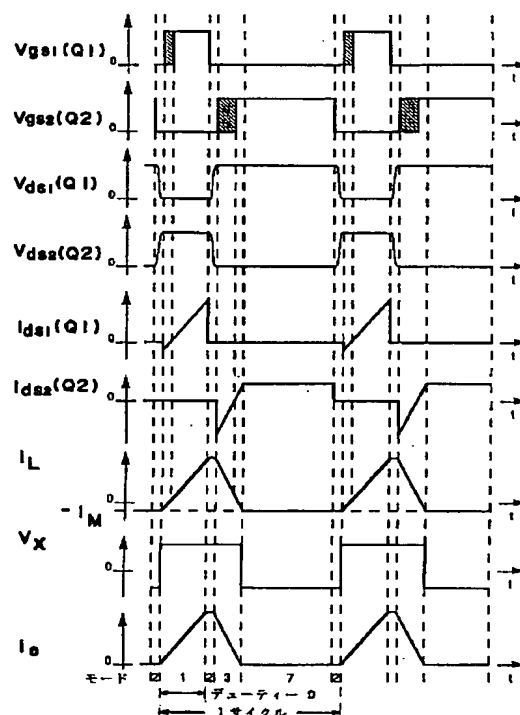
- 15 VS 直流入力電源
- T1 トランス
- Q1 スイッチ（第1のスイッチ手段）
- Q2 スイッチ（第2のスイッチ手段）
- C1, C2 キャパシタ（キャパシタンス）
- 20 C3 キャパシタ（容量性素子）
- D3, D4 ダイオード（整流回路）
- L インダクタ
- C0 キャパシタ（フィルター回路）
- L0 インダクタ（フィルター回路）

25

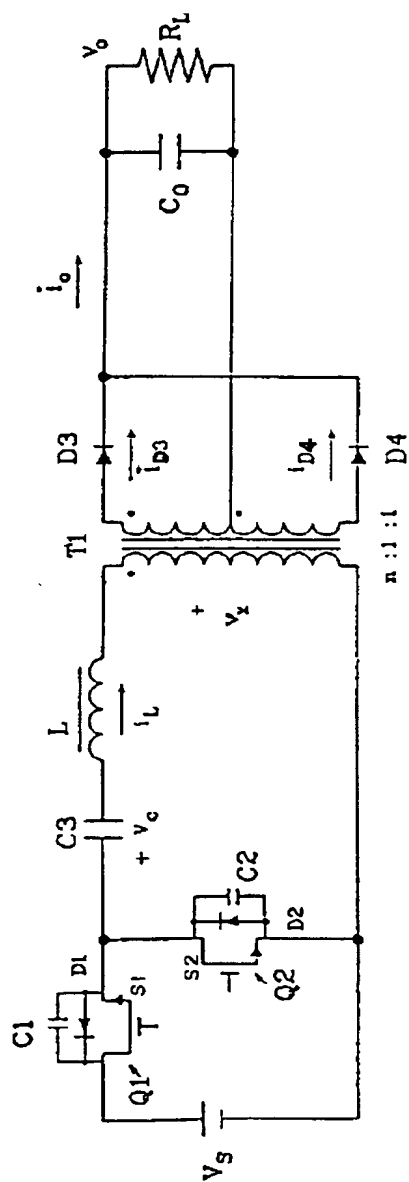
【図2】



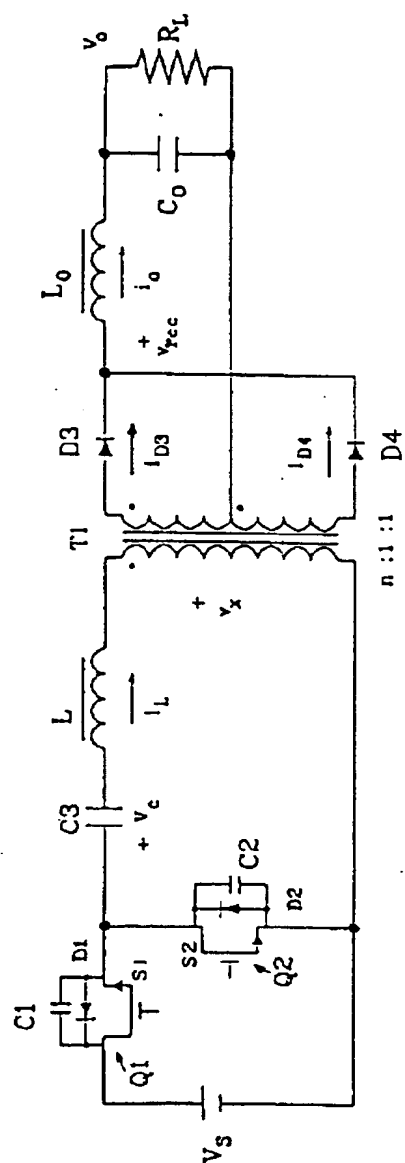
【図3】



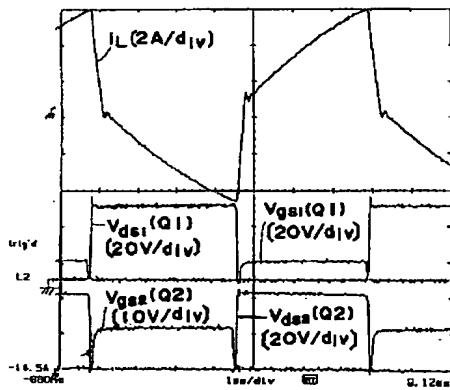
【図 1】



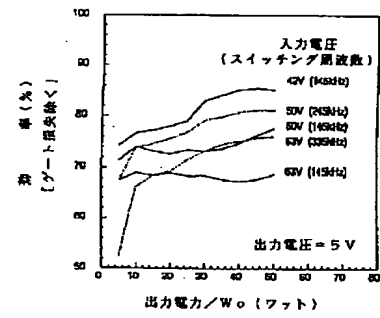
【図 7】



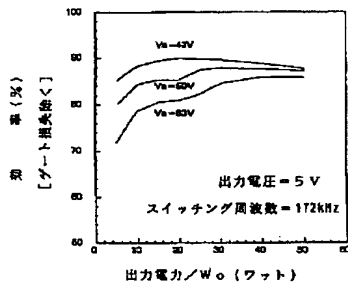
【図 5】



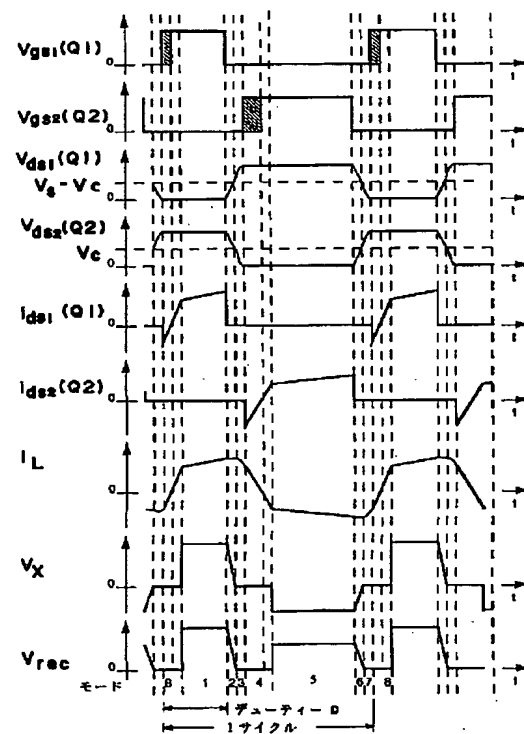
【図 6】



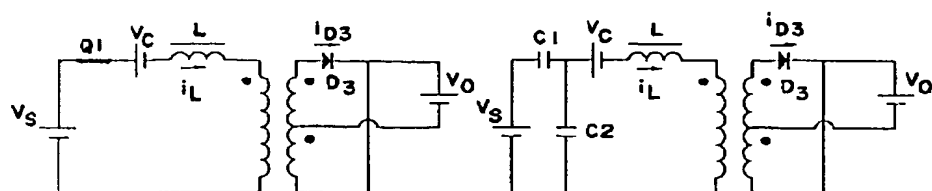
【図 11】



【図 8】

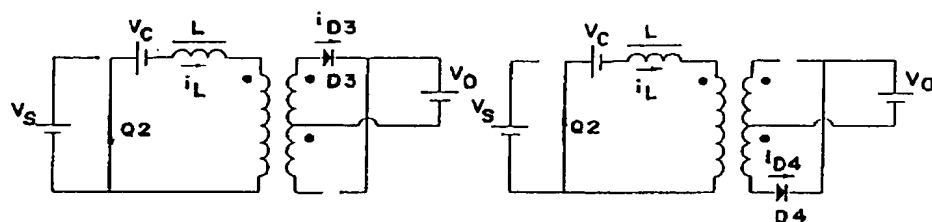


【図 4】



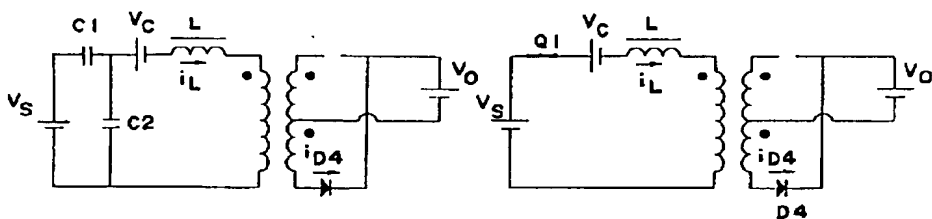
a) モード 1

b) モード 2



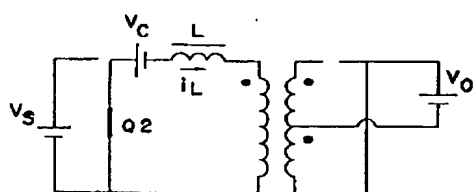
c) モード 3

d) モード 4



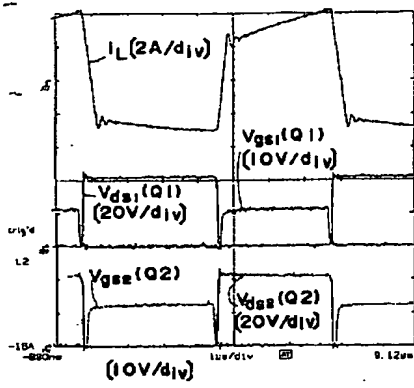
e) モード 5

f) モード 6

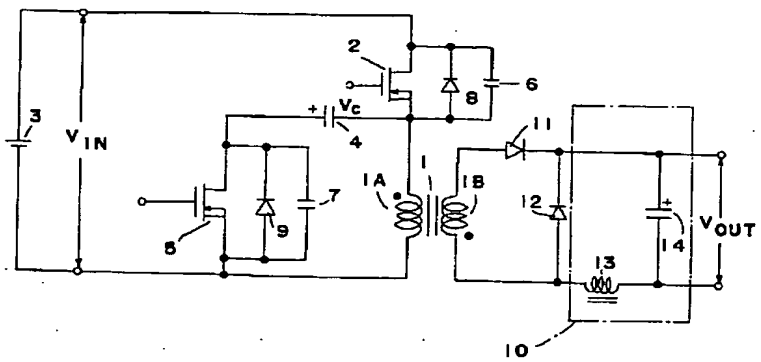


g) モード 7

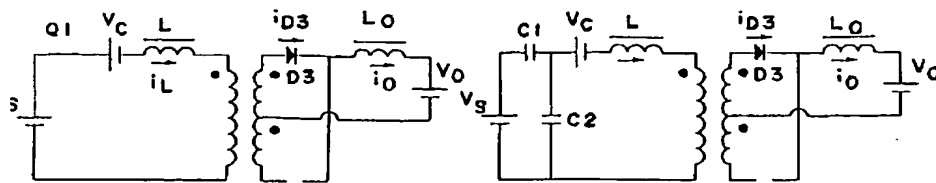
【図 10】



【図 12】

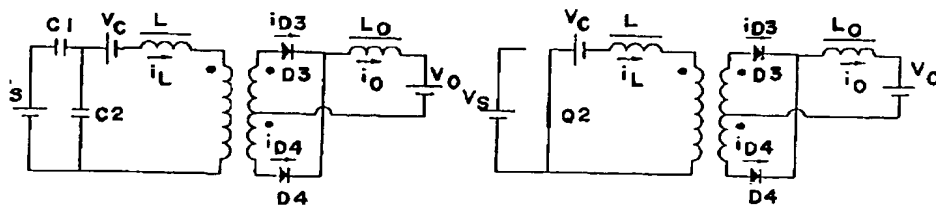


【図 9】



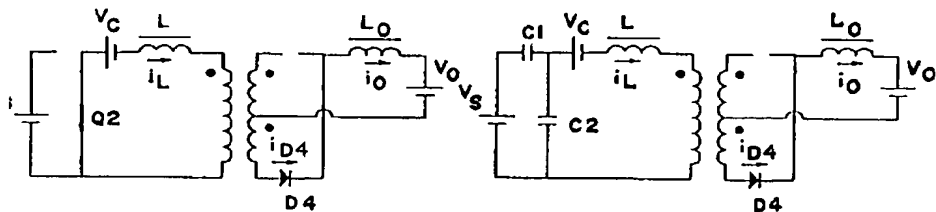
a) モード 1

b) モード 2



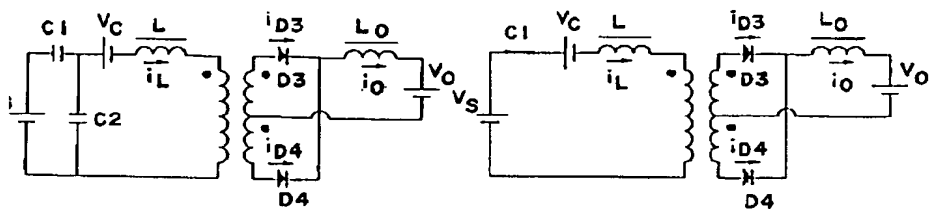
c) モード 3

d) モード 4



e) モード 5

f) モード 6



g) モード 7

h) モード 8

フロントページの続き

(56) 参考文献 実開 平 5-84186 (J P, U)
特公 昭 54-43168 (J P, B 1)

(58) 調査した分野(Int. Cl. 6, DB 名)

45

H02M 3/00 - 3/44